

Versuch V09: Logische Gatter

Henri Menke* und Jan Trautwein†

Gruppe 1-11 — Platz k

(Betreuer: Boris Bonev)

(Datum: 16. Dezember 2013)

In diesem Versuch sollen Spannungspegel, Eingangsströme und andere elementare Eigenschaften von logischen Gattern (NAND-Gatter nach TTL-Bauart) betrachtet werden. Zunächst werden die Schaltschwellen der Gatter untersucht. Im darauf folgenden Teil werden verschiedene grundlegende logische Verknüpfungen auf Basis der NAND-Gatter wie Multiplexer und Dekoder umgesetzt.

INHALT

I. Grundlagen	1
A. Rechenregeln	1
B. Logikschaltungen	1
C. Zahlensysteme	2
II. Versuchsaufbau und -durchführung	2
A. Eigenschaften von TTL-Logikbausteinen	2
B. NAND als elementares Gitter	3
C. Multiplexer	3
D. Dekodierschaltung	3
III. Auswertung	3
A. Eigenschaften von TTL-Logikbausteinen	3
B. Schaltschwellen des TTL-Gatters	4
C. NAND als elementares Gatter	4
D. Multiplexer	4
E. Dekodierschaltung	5
IV. Fehlerrechnung	5
V. Zusammenfassung	5
Literatur	5

I. GRUNDLAGEN

Die *Schaltalgebra* besitzt wie auch die boolesche Algebra zwei Elemente, die mit den Operationen \wedge , \vee und \neg verknüpft werden können. In der Schaltalgebra ist eine etwas andere Schreibweise gebräuchlich; hier heißen die Verknüpfungen AND, OR und NOT.

Aus den drei elementaren Verknüpfungen lassen sich weitere Operatoren ableiten, z. B. die XOR-Verknüpfung

$$A \oplus B = (A \vee B) \wedge \neg(A \wedge B)$$

bzw.

$$A \text{ XOR } B = (A \text{ OR } B) \text{ AND NOT } (A \text{ AND } B)$$

* henrimenke@gmail.com

† jan.manuel.trautwein@web.de

Sämtliche beschriebenen Logikfunktionen lassen sich auch durch die Sheffer-Operatoren beschreiben. Diese sind der *Schefferstrich* \uparrow (NAND) und der Pierce-Operator \downarrow (NOR).

In Tabelle I sind die wichtigsten Junktoren abgebildet.

A. Rechenregeln


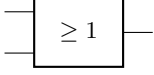
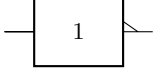

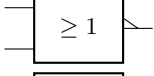
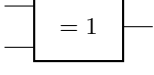
Für die Schaltalgebra gelten dieselben Rechenregeln, wie für die boolesche Algebra. Hier nochmals kurz zusammengefasst:

- Assoziativität: $(A \wedge B) \wedge C \equiv A \wedge (B \wedge C)$, bzw. $(A \vee B) \vee C \equiv A \vee (B \vee C)$.
- Distributivität: $A \wedge (B \vee C) = (A \wedge B) \vee (A \wedge C)$, bzw. $A \vee (B \wedge C) = (A \vee B) \wedge (A \vee C)$.
- Kommutativität: $A \wedge B \equiv B \wedge A$, bzw. $A \vee B \equiv B \vee A$.
- Adsorptionsgesetz: $A \vee (A \wedge B) = A$, bzw. $A \wedge (A \vee B) = A$.
- Komplementarität: $A \wedge \neg A = 0$, bzw. $A \vee \neg A = 1$.
- Neutralität: $A \wedge 1 = 1$, bzw. $A \vee 1 = 1$.
- Idempotenz: $A \wedge A = A$, bzw. $A \vee A = A$.
- Extremalität: $A \wedge 0 = 0$, bzw. $A \vee 1 = 1$.
- Doppelnegation: $\neg(\neg A) = A$.
- Dualität: $\neg 0 = 1$, bzw. $\neg 1 = 0$.
- De Morgansche Gesetze: $\neg(A \vee B) = (\neg A) \wedge (\neg B)$, bzw. $\neg(A \wedge B) = (\neg A) \vee (\neg B)$.

B. Logikschaltungen

Um die logischen Funktionen mit Schaltkreisen zu realisieren muss man die beiden Zustände wahr und falsch verschiedenen Spannungspegeln zuordnen. So wird einem Potential, das höher als ein gewisser Wert ist der Wert \mathcal{H} (high) zugeordnet, während einem Potential kleiner als dieser gewisse Wert den Wert \mathcal{L} (low) erhält.

Es gibt dann zwei Möglichkeiten die Logik zu definieren:

Bezeichnung	Junktor	Symbol in der Elektronik	Symbol in der Logik	Schaltsymbol
Konjunktion	AND	$A \cdot B$	$A \wedge B$	
Disjunktion	OR	$A + B$	$A \vee B$	
Negation	NOT	\bar{A}	$\neg A$	
Sheffer-Funktion	NAND	$\overline{A \cdot B}$	$A \uparrow B$	
Peirce-Funktion	NOR	$\overline{A + B}$	$A \downarrow B$	
Kontravalenz	XOR	$A \oplus B$	$A \neq B$	

TAB. I. Die gängigen Junktoren der Schaltalgebra.

1. Positive Logik: $\mathcal{H} \rightarrow 1, \mathcal{L} \rightarrow 0$.

2. Negative Logik: $\mathcal{H} \rightarrow 0, \mathcal{L} \rightarrow 1$.

Diese beiden Formen lassen sich verschieden interpretieren. Ein AND in positiver Logik geht bei negativer Logik in ein OR über.

Solche logischen Schaltungen werden als Logikgatter ausgeliefert. Am weitesten verbreitet sind die TTL-Gatter, wobei TTL für *Transistor-Transistor-Logik* steht. Die TTL-Gatter sind aus Bipolartransistoren (BJT) aufgebaut. Im Versuch werden TTL-NAND-Gatter verwendet.

C. Zahlensysteme

Statt des herkömmlichen Dezimalsystems bietet es sich in der Logik an das Binärsystem zu verwenden, da dieses genau zwei Elemente besitzt ($\mathcal{B}_2 = \{0, 1\}$, $b = 2$), die die Wahrheitszustände repräsentieren können. Soll nun eine Dezimalzahl x mit M Stellen und N Nachkommastellen ins Binärsystem konvertiert werden, so geschieht das über

$$a = \sum_{i=-N}^M x_i \cdot b^i$$

So wird aus $11_{10} = 1011_2$. Wegen $2 = 2^1$, $8 = 2^3$ und $16 = 2^4$ werden die Zahlensysteme zu den aufgeführten Basen, also Binär-, Oktal- und Hexadezimalsystem, oft in der Informationstechnik verwendet, da sich diese durch die beschriebenen Relationen leicht ineinander überführen lassen.

II. VERSUCHSAUFBAU UND -DURCHFÜHRUNG

A. Eigenschaften von TTL-Logikbausteinen

Es soll die Funktion eines TTL-Gatters DM7400 überprüft werden. Dazu wird eine Schaltung nach ABB. 1 aufgebaut. Die Eingänge des Gatters werden mit Tastern verbunden, eine rote LED leuchtet auf wenn eine hohe Spannung anliegt. Der Ausgang des TTL-Bausteins wird an eine zweifarbige LED angeschlossen, welche bei einer niedrigen Spannung grün leuchtet und bei einer hohen Spannung rot.

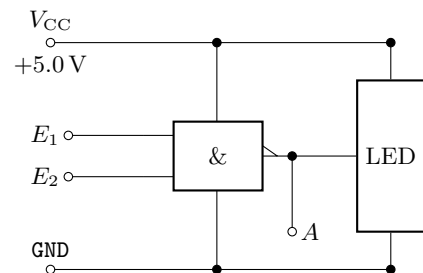


ABB. 1. Schaltplan zur Funktionüberprüfung eines TTL-Gatters.

Im zweiten Versuchsteil wird die Schaltung nach ABB.2 aufgebaut. Ein Eingang wird auf V_{CC} gelegt. Am Signalgenerator wird eine Dreiecksspannung mit 50%-Symmetrie und $U_{pp} = 5\text{ V}$ eingestellt. Die Eingangsspannung und die Ausgangsspannung werden auf dem Oszilloskop dargestellt. Mit dem Programm LabVIEW wird die Anzeige des Oszilloskops gespeichert.

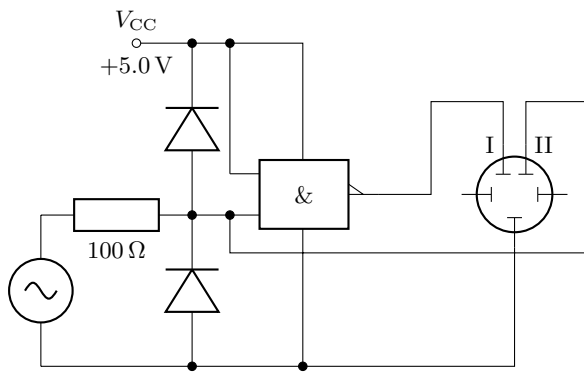


ABB. 2. Schaltplan zur Ausmessung der Schaltschwellen mit Hilfe des Oszilloskops.

B. NAND als elementares Gitter

Nach ABB. 3 wird eine OR-Funktion aus NAND-Gattern aufgebaut. Um die Zustände an den Punkten A_1 und A_2 zu bestimmen, werden diese, ebenso wie der Ausgang A_3 , auch an zweifarbige LEDs angeschlossen.

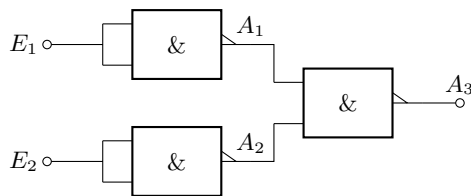


ABB. 3. Schaltplan einer OR-Funktion aus NAND-Gatter.

Anschließend wird eine XOR-Funktion aus vier NAND-Gattern aufgebaut. Der Schaltungsplan ist in ABB. 4 zu sehen. Diese soll zu einem Halbaddierer erweitert werden (siehe Auswertung).

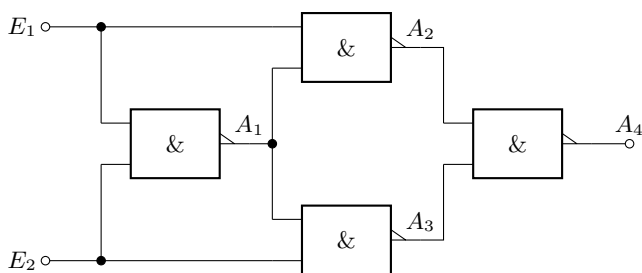


ABB. 4. Schaltplan einer XOR-Funktion in positiver Logik.

C. Multiplexer

Die Schaltung für einen Multiplexer, welcher nur aus NANDs besteht, ist in ABB. 5 zu sehen. Über die LED-Anzeige wird die Funktionstabelle der Schaltung aufgenommen und der Steuereingang identifiziert.

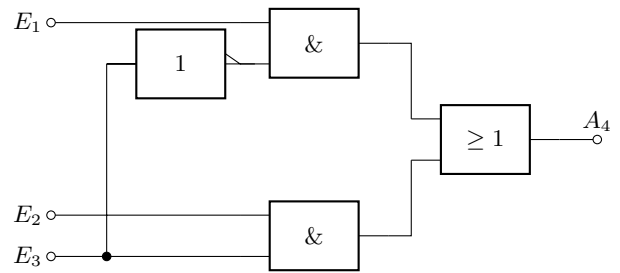


ABB. 5. Schaltplan eines Multiplexer.

D. Dekodierschaltung

Die Dekodierschaltung wird nach ABB. 6 aufgebaut. Die Ausgänge "0", "1", "2", "3" werden mit je einer LED verbunden. Es soll bestimmt werden, für welche Logikart die Bezeichnung der Ausgänge richtig ist und welcher Ausgangszustand der aktive ist.

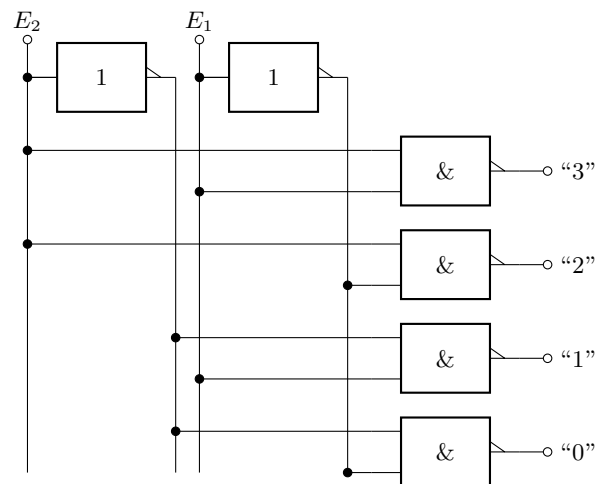


ABB. 6. Schaltplan des 2-Bit-Dekodierers.

III. AUSWERTUNG

A. Eigenschaften von TTL-Logikbausteinen

An einem TTL-Gatter DM7400 befinden sich vier NANDs. Nacheinander wurden alle überprüft. Für jeden NAND ergeben sich die in Tabelle II sichtbaren Messergebnisse. Es sind also alle funktionstüchtig. Leuchtet die LED rot, so misst man am Ausgang eine Spannung von $U_A = 0.15\text{ V}$ an, leuchtet sie grün, so misst man eine Spannung von $U_A = 3.92\text{ V}$. Der Gattereingangsstrom beträgt für das niedrige Eingangspotential $I_L = 0.219\text{ mA}$ und für das hohe Eingangspotential $I_H \approx 0.0\text{ mA}$.

E_1	E_2	A	Farbe der LED
0	0	0	rot
1	0	0	rot
0	1	0	rot
1	1	1	grün

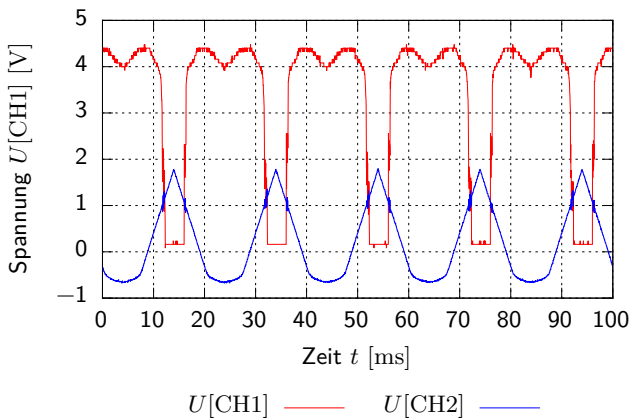
TAB. II. Wahrheitstabelle zur Überprüfung des TTL-Gatters.

B. Schaltschwellen des TTL-Gatters

Die Bezeichnungen in diesem Abschnitt wurden aus den Abbildungen 1 und 2 übernommen.

Der Eingang E_2 wird auf High gesetzt und auf E_1 ein Dreiecksignal angelegt. In Abbildung 7 ist der zeitliche Verlauf der beiden Spannungen dargestellt. Die Sprünge des Signals an CH1 entsprechen genau den Schaltschwellen.

Das Datenblatt sieht vor, dass ein Pegel $U_E > 2.0\text{ V}$ als High und ein Pegel $U_E < 0.8\text{ V}$ als Low erkannt wird. Mit dem Multimeter kann nachgewiesen werden, dass ein High ab $U_E \geq 2.3\text{ V}$ und ein Low ab $U_E \leq 1.6\text{ V}$ erkannt wird.

ABB. 7. Schaltschwellen des TTL-NAND-Gatters bei $U_{pp} = 3.5\text{ V}$.

Um ein besseres Verständnis dieser Tatsache zu bekommen ist in Abbildung 8 die Ausgangsspannung über der Eingangsspannung aufgetragen. Man kann erkennen, dass im Bereich $0.8\text{ V} < U_E < 1.4\text{ V}$ der Zustand der Ausgangsspannung undefiniert ist. Zugelassen sind nur die Zustände, die in den dunkelgrauen Kästen liegen.

C. NAND als elementares Gatter

Die Messwerte (in positiver Logik), zu sehen in Tabelle III, entsprechen genau der Theorie.

Für die XOR-Funktion ergeben sich die Messwerte in Tabelle IV. Auch diese Werte stimmen mit der Theorie überein.

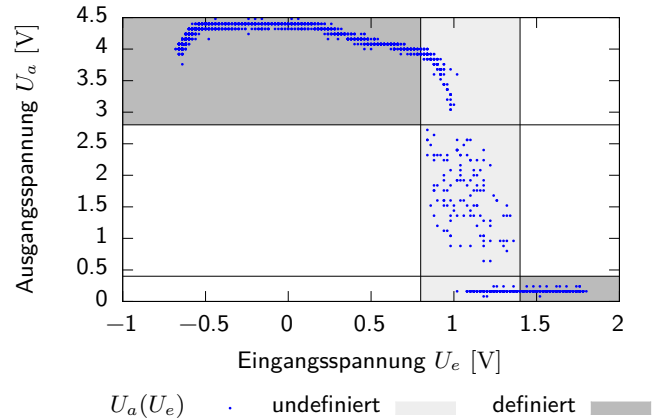


ABB. 8. Ausgangsspannung des TTL-Bausteins über der Eingangsspannung.

E_1	E_2	A_1	A_2	A_3
0	0	1	1	0
1	0	0	1	1
0	1	1	0	1
1	1	1	0	1

TAB. III. Wahrheitstabelle der OR-Funktion für positive Logik.

Um die XOR-Funktion zu einem Halbaddierer zu erweitern, wird nach ABB. 9 ein AND-Gatter parallel geschaltet. Der Ausgang C_i gibt dabei den Überlauf an.

D. Multiplexer

Für den nach Schaltung 10 aufgebauten Multiplexer ergibt sich Wertetabelle V.

Anhand der Tabelle kann der Eingang E_3 als Schalter identifiziert werden. Liegt an E_3 ein hohes Potential an ($E_3 = 1$), so liegt am Ausgang das gleiche Potential wie an E_1 an. Liegt an E_3 ein niedriges Potential an, so hat man am Ausgang den Zustand des zweiten Eingangs.

E_1	E_2	A_1	A_2	A_3	A_4
0	0	1	1	1	0
1	0	1	0	1	1
0	1	1	1	0	1
1	1	0	0	1	0

TAB. IV. Wahrheitstabelle der XOR-Funktion für positive Logik.

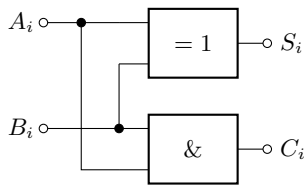


ABB. 9. Schaltplan eines Halbaddierers

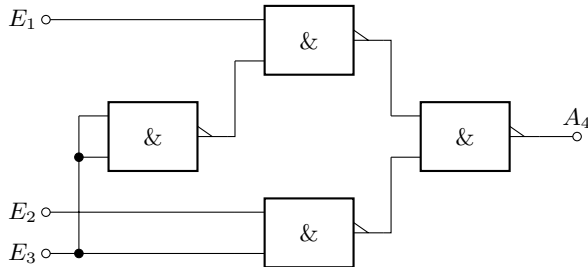


ABB. 10. Schaltplan eines 2-zu-1-Multiplexers reduziert auf NAND-Gatter.

E. Dekodierschaltung

Die Messwerte der Dekodierschaltung sind in Tabelle VI zu sehen. Es fällt auf, dass der 0-Zustand als aktiver Zustand gewertet werden muss. Außerdem entspricht E_2 der ersten Ziffer der Binärzahl und E_1 der ersten.

IV. FEHLERRECHNUNG

Da der Versuch ausschließlich aus qualitativen Beobachtungen (digitale Messwerte) besteht, ist eine Fehlerrechnung überflüssig.

V. ZUSAMMENFASSUNG

In dem Versuch wurden NAND-Gatter in TTL-Bauweise untersucht. Aus NAND-Gattern wurden ver-

schiedene logische Funktionen aufgebaut.

Die Schaltschwellen des NAND-Gatters wurden bestimmt. Ab einer Spannung von $U_E \geq 2.3$ V befindet man

E_1	E_2	E_3	A_1	A_2	A_3
0	0	1	1	1	0
1	0	1	1	0	0
0	1	1	1	1	1
1	1	1	1	1	1
0	0	0	1	1	0
1	0	0	0	1	1
0	1	0	1	1	0
1	1	0	0	1	1

TAB. V. Wahrheitstabelle des Multiplexers.

Dezimal	Binär	a	b	c	d	e	f	g
0	0000	1	1	1	1	1	1	0
1	0001	0	1	1	0	0	0	0
2	0010	1	1	0	1	1	0	1
3	0011	1	1	1	1	0	0	1
4	0100	0	1	1	0	0	1	1
5	0101	1	0	1	1	0	1	1
6	0110	1	0	1	1	1	1	1
7	0111	1	1	1	0	0	0	0
8	1000	1	1	1	1	1	1	1
9	1001	1	1	1	1	0	1	1

TAB. VI. Dekodiertabelle der 7-Segment-Anzeige.

sich im Zustand *High* und ab $U_E \leq 1.6$ V im Zustand *Low*.

Die theoretisch erwartete Funktionsweise einer OR-, AND, XOR- Funktion, sowie einer Multiplex- und Dekodierschaltung wurde experimentell überprüft und bestätigt. Beim Multiplexer wurde der Eingang E_3 als Schalter identifiziert.

[1] *Versuchsanleitung*, Universität Stuttgart (2013).